

## EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2000021191  
PUBLICATION DATE : 21-01-00

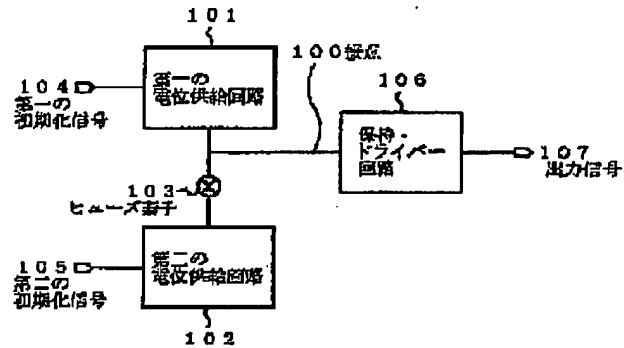
APPLICATION DATE : 06-07-98  
APPLICATION NUMBER : 10190507

APPLICANT : NEC CORP;

INVENTOR : MATSUI YOSHINORI;

INT.CL. : G11C 29/00 G11C 11/413 G11C 11/407  
G11C 11/401

TITLE : FUSE CIRCUIT AND REDUNDANT  
DECODER



ABSTRACT : PROBLEM TO BE SOLVED: To provide an effective programming fuse circuit without generating an unnecessary current at all.

SOLUTION: The fuse circuit comprises a fuse element 103 which is connected between a first potential supply circuit 101 and a second potential supply circuit 102, and fused by a laser beam as needed for programming, and a holding-driver circuit 106 connected to a connecting point 100. A first potential is given to the point 100 by a first potential supply unit 101 according to a first initialization signal 104 generated at the time of setting an operation mode of a device, and a second potential is given to the point by a second potential supply unit 102 according to a second initialization signal 105 generated at the time of setting an operation mode of the device. The holding-driver circuit 106 holds the potential of the point 100 established to any of the first and second potentials, and outputs the potential.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-21191  
(P2000-21191A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
G11C 29/00	603	G11C 29/00	603J 5B015
11/413		11/34	341C 5B024
11/407			362S 5L106
11/401			371D

審査請求 有 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平10-190507

(22) 出願日 平成10年7月6日 (1998.7.6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松井 義徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5B015 AA01 EA02 GA01

5B024 AA01 BA18

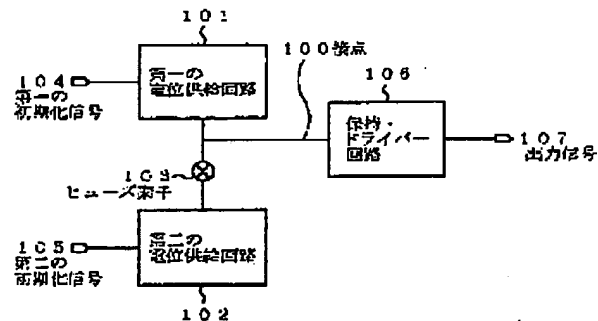
5L106 AA01 CC02 CC12 GG04

(54) 【発明の名称】 ヒューズ回路及び冗長デコーダ回路

(57) 【要約】

【課題】 不必要な電流を全く発生させない有効なプログラミングヒューズ回路を提供する。

【解決手段】 第一の電位供給回路101と第二の電位供給回路102間に接続された、プログラミングのために必要に応じてレーザー光で切断されるヒューズ素子103と、接点100に接続された保持・ドライバー回路106とを有し、デバイスの動作モード設定時に生成される第一の初期化信号104で第一の電位供給装置101により接点100に第一の電位を与え、デバイスの動作モード設定時に生成される第二の初期化信号105で第二の電位供給装置102により接点100に第二の電位を与え、保持・ドライバー回路106は、第一および第二の電位のうちのいずれかに確定した接点100の電位を保持し且つこの電位を出力する。



(2) 開2000-21191 (P2000-2115)

## 【特許請求の範囲】

【請求項1】 デバイスの動作モード設定時に生成される第一の初期化信号を入力する第一の電位供給回路と、デバイスの動作モード設定時に生成される第二の初期化信号を入力する第二の電位供給回路と、前記第一の電位供給回路と前記第二の電位供給回路間に接続されたヒューズ素子と、前記第一の電位供給回路と前記ヒューズ素子間の接点に接続された保持・ドライバー回路とを有し、前記第一の初期化信号で第一の電位供給装置により前記接点に第一の電位を与え、前記第二の初期化信号で前記第一の電位供給装置により前記接点に第二の電位を与え、前記保持・ドライバー回路によって前記第一および第二の電位のうちのいずれかに確定した前記接点の電位を保持し且つこの電位を出力することを特徴とするヒューズ回路。

【請求項2】 前記ヒューズ素子を切断あるいは非切断することにより、前記接点の確定電位を前記第一もしくは前記第二の電位にプログラミングされることを特徴とする請求項1記載のヒューズ回路。

【請求項3】 前記第一および第二の電位供給装置はそれぞれ絶縁ゲート電界効果トランジスタから構成されていることを特徴とする請求項1記載のヒューズ回路。

【請求項4】 前記保持・ドライバー回路には複数のインバータを有し、このうちの二つのインバータから形成されたフリップフロップによって前記確定電位を保持する保持回路を構成していることを特徴とする請求項1記載のヒューズ回路。

【請求項5】 テストモードが設定されることにより前記第一および第二の初期化信号のうち前記第一の初期化信号のみが発生されて前記ヒューズ素子が切断された状態の動作試験を可能にすることを特徴とする請求項1記載のヒューズ回路。

【請求項6】 前記接点に第三の電位供給回路を付加し、第三の初期化信号により前記接点を第三の電位に初期化することを可能にすることを特徴とする請求項1記載のヒューズ回路。

【請求項7】 請求項1乃至請求項6のいずれかに記載のヒューズ回路により置換アドレス論理のプログラミングおよび、冗長回路の使用、不使用のプログラミングをおこなうようにしたことを特徴とする冗長デコード回路。

【請求項8】 複数の前記冗長デコード回路でそれぞれのヒューズ切断時、あるいは未切断のアドレスプログラム値が異なるようあらかじめ論理構成させたことを特徴とする請求項7記載の冗長デコード回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はヒューズ回路及び冗長デコード回路に係わり、特にメモリ装置に用いるヒューズ回路及び冗長デコード回路に関する。

## 【0002】

【従来の技術】 図18に従来のヒューズ回路の回路図を示す。同図においてヒューズ素子1803をレーザにより切断、非切断することにより、接点1800のレベルをプログラミングする。

【0003】 初期化信号1801でHIGHレベルのバース信号によりNチャネルの絶縁ゲート電界効果トランジスタ（以下、MOSTランジスタ、と称す）1802をオンさせ接点1800のレベルをLOWレベルとする。この時に、接点1805のレベルはHIGHレベルとなり、出力信号1806はLOWレベルになる。

【0004】 ヒューズ素子1803が切断されている場合には、接点1800はそのままLOWレベルが保持される。

【0005】 一方、ヒューズ素子1803が切断されていない場合には、ヒューズ素子1803を介して電源レベルVccが与えられるため、接点1800のレベルはHIGHレベルに遷移し、保持される。ここでヒューズ素子1803のレーザによる切断時の切れ残りにより電源と接点1800が高抵抗でつながっている場合にも、接点1800の電位はLOWレベルが保持され回路的には正常に動作する。

【0006】 しかしこのような回路では、電源Vccからヒューズ素子1803、オン状態となっているNチャネルMOSTランジスタ1804を介して接地電源に電流経路が生じ微少電流が発生する。

【0007】 メモリデバイス等で冗長回路のプログラミングのために使用する場合には多くのヒューズ回路を使用するため全体での微少電流の和はスタンバイ電流を増加させ無視できない値となる。これに対して特開平5-101673号公報には、ヒューズ素子203の切れ残りにより発生する微少電流をなくすために図19に示すようなプログラム回路が開示されている。

【0008】 同図において、初期化回路1901を設けている。この初期化回路1901からは、通常はLOWレベルで初期化時にHIGHレベルを一定期間供給する。

【0009】 ヒューズ素子1903が切断されている場合には、初期化時に接点1900にHIGHレベルが与えられ、接点1905がLOWレベルとなりPチャネルMOSTランジスタ1902がオンするが、ヒューズ素子1903は切断されているため、初期化回路1901からの信号がLOWレベルに戻ると接点1900のレベルもLOWレベルとなる。

【0010】 従って接点1905はHIGHレベルとなり、PチャネルMOSTランジスタ1902はオフする。またこの時に出力信号1906はLOWレベルになる。

【0011】 この回路においてはヒューズ素子1903のレーザによる切断時の切れ残りが存在しても、Pチャ

(3) 開2000-21191 (P2000-2115)

ネルMOSトランジスタ1903がオフしているため電流経路は発生しない。

【0012】しかしながらこの回路では、ヒューズ素子1903を切断しないで接点1900にHIGHレベルを保持する場合には、PチャネルMOSトランジスタ1902はオンするため、高抵抗素子1907を介して電流経路が生じており不必要な電流が発生してしまう。さらに特開平8-321197号公報には、ヒューズ素子の切れ残りにより発生する微小電流を完全になくすために、図20に示すようなヒューズ回路が開示されている。

【0013】この図20の回路は、外部電源の遷移を検出し、電源の安定後ヒューズが切断されているか否かを所定のタイミングで検出することによりヒューズ素子の切断時の切れ残りによる微小電流を防止するものである。同図で外部電源検出回路2000に電源が印加され、状態が安定したかどうかを検出する。

【0014】図21に図20の回路の電源印加時の波形を示す。電源印加信号2005は供給電源VCCから供給される電圧が所定のレベルに達するまでこの電圧の遷移に応じて上昇し、供給電圧が所定のレベルになると接地レベルとなる。ゲート制御回路2001は電源印加信号2005を入力しプリチャージ信号2006、ディスチャージ信号2007を出力する。

【0015】プリチャージ信号2006は電源印加信号2005の上昇に合わせて電位が上昇し、2006の接地レベルへの遷移により所定の期間t1だけ接地レベルのパルスを出力する。ディスチャージ信号2007は電源印加信号2005の上昇に合わせて電位が上昇し、2006の接地レベルへの遷移により接地レベルとなる。2007、2006の信号の遷移に応じて、電源投入時はNチャネルMOSトランジスタ2003がオン、PチャネルMOSトランジスタ2002がオフにより接点2008は接地レベルに保持される。

【0016】ついで2005の接地レベルの遷移によりNチャネルMOSトランジスタ2003がオフとなり、所定期間t1の間PチャネルMOSトランジスタ2002がオンする。

【0017】ここでヒューズ素子2004が未切断の場合には2008は電源レベルに遷移する。一方、切断されている場合、電源レベルの供給がなされないため接地レベルが保持される。接点2008のレベルはラッチ回路2009で保持される。プリチャージ信号2006は所定の期間t1後電源電位に遷移するため、それ以降の定常状態ではPチャネルMOSトランジスタ2002がオフすることによりヒューズ素子2004の切れ残りが生じても電流経路が断たれているため不必要な電流は発生しない。

【0018】図22に電源印加が非常にゆっくり行われた場合の図20の回路の信号波形を示す。図20の回路

では外部電源検出回路2000に電源が印加され、状態が安定したかどうかを検出するが、図22に示すように外部電源検出回路2000により電源の安定状態と判定するほど非常にゆっくりした電源印加の場合には電源印加信号2005の上昇が得られず、プリチャージ信号2006、ディスチャージ信号2007が正常に生成されないため接点2008の初期化が正常に行われない事例が経験されている。この場合にはヒューズ未切断の接点2008が電源レベルとならない。

【0019】すなわち図20の回路では、外部電源検出回路2000が電源電圧遷移に対して安定状態を検出する分解能により上述した所定の信号2006、2007のレベル遷移が得られないことがあるためヒューズ回路の初期化が正常に行われないという問題がある。

【0020】

【発明が解決しようとする課題】以上説明したように図18に示す回路では、ヒューズ素子の切断時の切れ残りによる微小電流が発生し、多くのヒューズ回路を使用するメモリデバイス等の冗長回路において全体での微小電流の和はスタンバイ電流を増加させ無視できない値となる。一方、図19に示す回路では、ヒューズ素子を切断しないで接点をHIGHレベルを保持する場合には、PチャネルMOSトランジスタおよび高抵抗素子を通る不必要な電流経路が生じ、これにより不必要な電流が発生してしまう。

【0021】さらに、図20で示す回路では、外部電源検出回路2000が電源電圧遷移に対して安定状態を検出する分解能により上述した所定のヒューズ回路初期化信号のレベル遷移が得られないことがあるためヒューズ回路の初期化が正常に行われないという問題がある。

【0022】したがって本発明の目的は、定常的に不必要な電流を全く発生させず、確実にヒューズ回路の初期化が行われる有効なヒューズ回路を提供することである。

【0023】

【課題を解決するための手段】本発明の特徴は、デバイスの動作モード設定時に生成される第一の初期化信号を入力する第一の電位供給回路と、デバイスの動作モード設定時に生成される第二の初期化信号を入力する第二の電位供給回路と、前記第一の電位供給回路と前記第二の電位供給回路間に接続された、例えば多結晶シリコン膜により構成されプログラミングのために必要に応じてレーザー光で切断される、ヒューズ素子と、前記第一の電位供給回路と前記ヒューズ素子間の接点に接続された保持・ドライバー回路とを有し、前記第一の初期化信号で第一の電位供給装置により前記接点に第一の電位を与え、前記第二の初期化信号で前記第二の電位供給装置により前記接点に第二の電位を与え、前記保持・ドライバー回路によって前記第一および第二の電位のうちのいずれかによって前記接点の電位を保持し且つこの電位を出力

(4) 開2000-21191 (P2000-2115)

するヒューズ回路にある。ここで、前記ヒューズ素子を切断あるいは非切断することにより、前記接点の確定電位を前記第一もしくは前記第二の電位にプログラミングされることができ、また、前記第一および第二の電位供給装置はそれぞれMOSトランジスタから構成されていることが好ましい、さらに、前記保持・ドライバー回路には複数のインバータを有し、このうちの一方のインバータから形成されたフリップフロップによって前記確定電位を保持する保持回路を構成していることが好ましい。

【0024】さらにこのヒューズ回路において、テストモードが設定されることにより前記第一および第二の初期化信号のうち前記第一の初期化信号のみが発生されて前記ヒューズ素子が切断された状態の動作試験を可能にすることができる。また、前記接点に第三の電位供給回路を付加し、第三の初期化信号により前記接点を第三の電位に初期化することを可能にすることができる。

【0025】本発明の他の特徴は、上記したヒューズ回路のいずれかを用いて、番線アドレス論理のプログラミングおよび、冗長回路の使用、不使用のプログラミングをおこなうようにした冗長デコーダ回路にある。ここで、複数の前記冗長デコーダ回路でそれぞれのヒューズ切断時、あるいは未切断のアドレスプログラム値が異なるようあらかじめ論理構成させることができる。

【0026】

【発明の実施の形態】以下図面を参照して本発明を説明する。

【0027】図1は本発明の実施の形態のヒューズ回路を示すブロック図である。デバイスの動作モード設定時に生成される第一の初期化信号104を入力する第一の電位供給回路101と、デバイスの動作モード設定時に生成される第二の初期化信号105を入力する第二の電位供給回路102と、第一の電位供給回路と第二の電位供給回路間に接続されたヒューズ素子103と、第一の電位供給回路とヒューズ素子間の接点100に接続された保持・ドライバー回路106を有して構成されている。

【0028】第一の初期化信号104で第一の電位供給装置101により接点100に第一の電位を与える。第二の初期化信号105で第二の電位供給装置102により接点100に第二の電位を与える。そして保持・ドライバー回路106は、接点100の確定した電位を保持する保持回路および出力信号107をドライブするドライバー回路である。

【0029】図2は本発明のヒューズ回路をMOSトランジスタで構成した実施の形態を示す回路図である。

【0030】第一の電位供給回路を構成するPチャネルMOSトランジスタ201のソース端は高電位電源Vccに接続され、ドレイン端は多結晶シリコン膜から形成されたヒューズ素子203の一端に接続され、ゲートに

は第一の初期化信号104が入力される。

【0031】第二の電位供給回路を構成するNチャネルMOSトランジスタ202のソース端は低電位電源である接地電源GNDに接続され、ドレイン端はヒューズ素子203の他端に接続され、ゲートには第二の初期化信号105が入力される。

【0032】PチャネルMOSトランジスタ201のドレイン端とヒューズ素子203の一端間の接点200に接続された保持・ドライバー回路206は3個のインバータA、B、Cを有している。

【0033】このような構成により、第一の初期化信号104でPチャネルMOSトランジスタ201により接点200に高電位Vccである第一の電位を与える。また、第二の初期化信号105でNチャネルMOSトランジスタ202により接点200に低電位GND（グラウンド電位）である第二の電位を与える。

【0034】接点200が第一の電位もしくは第二の電位に確定した時点で両トランジスタ201、202はオフ状態となり、この確定した電位は保持・ドライバー回路206のうち保持回路となるインバータA、Bからなるフリップフロップにより保持され、ドライバー回路となるインバータCにより出力信号207をドライブする。

【0035】このように接点200が第一の電位もしくは第二の電位に確定した時点で両トランジスタ201、202はオフ状態になっているから不要な電流経路は形成されず不要な電流は発生しない。

【0036】次に図2に図3および図4を参照してこの実施の形態の動作を説明する。

【0037】本実施の形態のヒューズ回路は、デバイスの動作モード設定時等の初期設定時に初期設定信号によりヒューズ回路初期化信号を発生させヒューズ回路のプログラミング値を確定させる。シンクロナスDRAMの場合を例に説明する。

【0038】図3はシンクロナスDRAMの動作モード設定回路の構成図である。シンクロナスDRAMでは入力されるシステムクロック信号CLKの立ち上がり同期してコマンド信号RASB、CASB、WEB、CSBの信号レベルを取り込み、信号レベルの組み合わせにより入力されたコマンドを識別しデバイスを動作させる。

【0039】図3に示すシンクロナスDRAM320は、CLKを受けてクロック信号304を発生する内部クロック信号生成回路305と、入力されたコマンド信号をデコードし、動作モード設定信号301を発生させるコマンドデコーダ回路300と、動作モード設定信号301を入力する動作モード設定回路302およびヒューズ回路初期化信号発生回路303を有して構成され、このヒューズ回路初期化信号発生回路303から図1、図2で示した第一および第二の初期化信号104、10

(5) 開2000-21191 (P2000-2115)

5が出力される。尚、ここでは他のコマンドに対応する信号は省略している。

【0040】図4にタイミングチャートをしめす。動作モード設定はモードレジスターセットと呼ばれており、図中ではMRSと表記している。

【0041】動作モード設定信号301によりヒューズ回路初期化信号発生回路303で第一の初期化信号104を発生する。第一の初期化信号104のLOWレベル入力によりPチャネルMOSトランジスタ201がオンし接点200がHIGHレベルとなる。

【0042】第一の初期化信号104がHIGHレベルにリセットされると、続いて第二の初期化信号105が発生される。第二の初期化信号105のHIGHレベル入力によりNチャネルMOSトランジスタ202がオンする。

【0043】ここで多結晶シリコンのヒューズ素子203がレーザ光で切断されている場合は、接点200のレベルはHIGHのまま保持される。

【0044】一方、ヒューズ素子203がレーザ光で切断されていない場合は、接点200のレベルはLOWとなる。

【0045】その後、第二の初期化信号105はLOWレベルにリセットされるからNチャネルMOSトランジスタ202はオフ状態となり、第1の初期化信号104はHIGHレベルにリセットされているからPチャネルMOSトランジスタ201はもオフ状態を続けている。

【0046】以上のように、ヒューズ素子をレーザで切断するか否かによりプログラミングされた値は確定されラッチ回路206に保持され、信号107として出力される。

【0047】図5は図2の実施の形態にたいしてプログラミング値の極性を逆にした場合である。尚、図5において図2と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0048】図5では第一の初期化信号104はHIGHレベルで与えられ、第二の初期化信号105はLOWレベルで与えられ、ヒューズ素子203が切断されている場合は接点500はLOWレベルに確定されて出力信号507はLOWレベルとなり、ヒューズ素子203が切断されていない場合は接点500はHIGHレベルに確定されて出力信号507はHIGHレベルとなり、次に本発明のヒューズ回路をカラムリダンダンシー回路に適用した場合の実施の形態を説明する。

【0049】図6は本発明のヒューズ回路をカラムリダンダンシー回路に適用したシンクロナスDRAMの全体構成図である。

【0050】ここには図3を用いて説明したコマンドデコード回路、ヒューズ回路初期化信号発生回路等も含まれる。第一の初期化信号104および第二の初期化信号105はヒューズ回路を含むカラムリダンダンシー回路

1(603)、2(604)に入力される。

【0051】これらのカラムリダンダンシー回路603、604はアドレスバッファ回路600により取り込まれたカラムアドレス信号602(Y0~Y1)が被置換アドレスであるかどうかを判定し被置換アドレスと一致した場合には置換信号605、606を発生しカラムデコードによるメモリエルデータの選択を無効とし、それぞれの冗長メモリエル610、611のデータを選択する。図7にカラムリダンダンシー回路1(603)の構成図を示す。アドレス信号Y0~Y1はアドレスプログラミングヒューズ回路700-0~700-1に取り込まれる。

【0052】アドレスプログラミングヒューズ回路ではアドレスの論理値をヒューズトリミングによりプログラミングし、入力したアドレス信号Yiがプログラミングされた論理値と一致すると出力703-0~703-1はHIGHとなる。

【0053】カラムリダンダンシーイネーブルヒューズ回路701においてラムリダンダンシーを使用する場合にヒューズを切断しイネーブル信号704をHIGHとする。これらの出力信号703-0~703-1、704はANDゲート702に入力され、アドレス信号がすべてプログラミング値と一致して、カラムリダンダンシーイネーブル信号704がHIGHである場合に置換信号605をHIGHとする。図8はカラムリダンダンシー回路2(604)の構成図であり、図7と同様に動作する。すなわち、アドレス信号Y0~Y1はアドレスプログラミングヒューズ回路800-0~800-1に取り込まれる。

【0054】アドレスプログラミングヒューズ回路ではアドレスの論理値をヒューズトリミングによりプログラミングし、入力したアドレス信号Yiがプログラミングされた論理値と一致すると出力803-0~803-1はHIGHとなる。

【0055】カラムリダンダンシーイネーブルヒューズ回路801においてラムリダンダンシーを使用する場合にヒューズを切断しイネーブル信号804をHIGHとする。これらの出力信号803-0~803-1、804はANDゲート802に入力され、アドレス信号がすべてプログラミング値と一致して、カラムリダンダンシーイネーブル信号804がHIGHである場合に置換信号606をHIGHとする。図9はアドレスプログラミングヒューズ回路900(図7の700-0~700-1、図8の800-0~800-1)の回路図である。

【0056】先に説明した図2と同様のヒューズ回路を用いている。

【0057】アドレスプログラミングヒューズ回路はヒューズ回路とトランスファーゲート回路で構成されるとヒューズ回路は前述したように初期化信号104、105によりプログラミング値が確定されている。

(6) 開2000-21191 (P2000-2115)

【0058】PチャネルMOSトランジスタ905とNチャネルMOSトランジスタ906のゲートにヒューズ回路の出力信号207が入力され、NチャネルMOSトランジスタ902とPチャネルMOSトランジスタ903のゲートにヒューズ回路の出力信号207の反転信号が入力される。

【0059】したがってヒューズ未切断時にはヒューズ回路出力207はLOWであるから、Nチャネルトランスファージゲート902がオン、Pチャネルトランスファージゲート903がオフしておりYiが1にプログラミングされる。すなわちYiがHIGHの時、アドレスプログラミング回路の出力信号904(図7の703-0~703-1、図8の803-0~803-1)がHIGHとなる。

【0060】ヒューズ切断時にはヒューズ回路の出力信号207はHIGHであるから、Nチャネルトランスファージゲート902がオフ、Pチャネルトランスファージゲート903がオンしておりYiが0にプログラミングされる。すなわちYiがLOWの時、アドレスプログラミングヒューズ回路の出力904がHIGHとなる。

【0061】図10はカラムリダンダンシーイネーブルヒューズ回路1000(図7の701、図8の801)の回路図である。

【0062】先に説明した図2と同様のヒューズ回路を用いている。

【0063】カラムリダンダンシーイネーブルヒューズ回路はヒューズ回路で構成され、初期化信号104、105によりプログラミング値が確定される。ヒューズ未切断時には出力信号1001はLOWとなっており、切断時にはHIGHとなりカラムリダンダンシー回路がイネーブルとなる。

【0064】図11はこの冗長デコード回路に関する実施の形態のタイミングチャートである。

【0065】図6における信号630はリードコマンド信号であり、図11でREADと表記されているのはリードコマンドの入力を示す。リードコマンド入力時にはカラムアドレス信号が取り込まれ対応するメモリセルデータが選択されて読み出される。

【0066】リードコマンド信号630はアドレスバッファ回路600に入力しカラムアドレス信号Y0~Yiを生成する。カラムアドレス信号はカラムリダンダンシー回路1(603)に入力しアドレスがプログラミングされた被置換アドレスと一致するか判定される。

【0067】一致する場合でカラムリダンダンシー回路がイネーブルとなっている場合には、図11に示すように、置換信号605がHIGHとなる。一致しない場合には置換信号605がLOWとなる。以上が本実施の形態の通常動作時の説明である。次に本実施の形態で置換のためのヒューズプログラミングを行なう前に冗長メモリセルに欠陥がないかどうかを試験することを可能とす

る例を説明する。

【0068】図12、図13は本実施の形態におけるアドレスプログラミングヒューズ回路1200、1300の回路図である。

【0069】図12におけるアドレスプログラミングヒューズ回路1200はカラムリダンダンシー回路1のカラムアドレスY0のプログラミング回路である。

【0070】PチャネルMOSトランジスタ1205とNチャネルMOSトランジスタ1206のゲートにヒューズ回路の出力信号207が入力され、NチャネルMOSトランジスタ1202とPチャネルMOSトランジスタ1203のゲートにヒューズ回路の出力信号207の反転信号が入力される。

【0071】したがってヒューズ切断時にはヒューズ回路の出力信号207はHIGHであるから、Nチャネルトランスファージゲート1202がオフ、Pチャネルトランスファージゲート1203がオンしておりY0が0にプログラミングされてその出力信号1204が得られる。

【0072】図13におけるアドレスプログラミングヒューズ回路1300はカラムリダンダンシー回路2のカラムアドレスY0のプログラミング回路である。

【0073】PチャネルMOSトランジスタ1305とNチャネルMOSトランジスタ1306のゲートにヒューズ回路の出力信号207が入力され、NチャネルMOSトランジスタ1302とPチャネルMOSトランジスタ1303のゲートにヒューズ回路の出力信号207の反転信号が入力される。

【0074】したがってヒューズ切断時にはヒューズ回路の出力信号207はHIGHでNチャネルトランスファージゲート1302がオフ、Pチャネルトランスファージゲート1303がオンしており、Y0が1にプログラミングされてその出力信号1304が得られる。

【0075】他のアドレスプログラミングヒューズ回路700-0~700-iおよび800-1~800-iは図9の回路構成と同じとなっている。

【0076】したがってヒューズ切断時にはY1~Yiが0にプログラミングされる。すなわちカラムリダンダンシー回路1、2のヒューズがすべて切断された状態ではカラムリダンダンシー回路1はカラムアドレスが"0"にカラムリダンダンシー回路1はカラムアドレスが"1"にプログラミングされるよう設定される。

【0077】冗長メモリセルに欠陥がないかどうかの試験は所定のテストモードにエントリーすることにより行なう。通常テストモードのエントリーは前述したモードレジスターセット時に特定のアドレス値を入力することにより設定される。

【0078】図14に本テストモードのエントリー時のタイミングチャートを示す。図中のMRS(TEST)はテストモード設定のためのモードレジスタセットのコマンド入力を示す。ここではアドレス値の入力は省略し

(7) 開2000-21191 (P2000-2115)

ている。

【0079】冗長メモリセル試験のテストモードにエントリーすると第一の初期化信号104のみが発生する。ここでは通常の初期化時のように第二の初期化信号105は発生させない。

【0080】従ってヒューズ回路のプログラミング接点(図2の接点200に対応する接点)はすべてヒューズ素子が切断、未切断にかかわらず第一の電位に確定される。すなわちヒューズ素子がすべて切断された状態に初期化されることになる。

【0081】従って前述したようにヒューズがすべて切断された状態ではカラムリダンダンシー回路1はカラムアドレスが"0"にカラムリダンダンシー回路1はカラムアドレスが"1"にプログラミングされるよう設定されているため、リードコマンド入力時にそれぞれ0、1のカラムアドレスを入力すればそれぞれ冗長メモリセル(カラム1)610、冗長メモリセル(カラム2)611(図6)のデータを読み出し試験を行なう事ができる。

【0082】図15にタイミングチャートを示す。一回目のリードコマンド入力時にはカラムアドレスの"0"が入力されカラムリダンダンシー回路1(603)の設定値と一致し、置換信号005がHIGHとなり冗長メモリセル(カラム1)610がアクセスされる。

【0083】二回目のリードコマンド入力時にはカラムアドレスの"1"が入力されカラムリダンダンシー回路2(604)の設定値と一致し、置換信号606がHIGHとなり冗長メモリセル(カラム2)611がアクセスされる。本実施の形態ではカラムリダンダンシー回路でそれぞれのヒューズ切断時のアドレスプログラム値が異なるようあらかじめ構成される事と、冗長メモリセル試験のテストモードにエントリーすると第一の初期化信号104のみが発生し試験対象のヒューズ素子が切断された状態に初期化されることを特徴とする。図16にヒューズ素子の切断、未切断にかかわらずテストモードのエントリーによりプログラミング接点(図中100)のレベルを自由に設定する手段を示す。本実施の形態では、ヒューズ回路に第一の電位供給回路1600を付加しテストモードエントリー時の第一の初期化信号1601を発生させプログラミング接点100に所望の電位を供給する。本実施の形態ではヒューズ素子未切断時の状態にも初期化することが可能となる。

【0084】図17に図16に示す実施の形態をMOSトランジスタで構成した例を示す回路図を示す。

【0085】第三の初期化信号1701のHIGH入力によりNチャネルMOSトランジスタ1700がオンして接点200に接地レベルを与えヒューズ素子203が未切断時のレベルに確定させる。本実施の形態と前述の実施の形態を組み合わせる事によりヒューズ素子の切断、未切断のさまざまな組み合わせ状態の試験が可能

となる。

【0086】

【発明の効果】本発明のヒューズ回路ではプログラミング値のラッチ接点に対して電位確定のための2値の電位供給をデバイスの初期設定時に時分割に一定時間のみ行なう。したがって定常的には不必要な電流経路が存在しない。これによりヒューズ素子のレーザによる切断時の切れ残りによる不必要な微少電流が発生せず、スタンバイ電流の増加もないという効果がある。また、デバイスの初期設定時に初期化動作を行なうため確実に初期化が正常に行われるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態のヒューズ回路を示すブロック図である。

【図2】本発明のヒューズ回路をMOSトランジスタで構成した実施の形態を示す回路図である。

【図3】本発明の実施の形態のシンクロナスDRAMを示すブロック図である。

【図4】図2および図3の動作を示すタイミングチャートである。

【図5】本発明のヒューズ回路をMOSトランジスタで構成した他の実施の形態を示す回路図である。

【図6】本発明のヒューズ回路をカラムリダンダンシー回路に適用した実施の形態のシンクロナスDRAMの全体を示す構成図である。

【図7】図6のカラムリダンダンシー回路1の構成を示す図である。

【図8】図6のカラムリダンダンシー回路2の構成を示す図である。

【図9】図7および図8におけるアドレスプログラミングヒューズ回路を示す回路図である。

【図10】図7および図8におけるカラムリダンダンシーイネーブルヒューズ回路を示す回路図である。

【図11】冗長デコード回路に関する実施の形態のタイミングチャートである。

【図12】冗長メモリセルにおける欠陥の有無の試験を説明するための実施の形態のアドレスプログラミングヒューズ回路を示す回路図である。

【図13】冗長メモリセルにおける欠陥の有無の試験を説明するための実施の形態のアドレスプログラミングヒューズ回路を示す回路図である。

【図14】冗長メモリセルにおける欠陥の有無の試験における実施の形態のテストモードを示すタイミングチャートである。

【図15】リードコマンド信号により置換信号が発生する動作を示すタイミングチャートである。

【図16】テストモードにおいてプログラミング接点のレベルを自由に設定することが出来る実施の形態を示すブロック図である。

【図17】図16をMOSトランジスタで構成した実施



(8) 開2000-21191 (P2000-2115

の形態を示す回路図である。

【図18】従来技術のヒューズ回路を示す回路図である。

【図19】他の従来技術のヒューズ回路を示す回路図である。

【図20】別の従来技術のヒューズ回路を示す回路図である。

【図21】図20の回路において、電源印加時の信号波形を示す図である。

【図22】図20の回路において、電源印加が非常にゆっくり行われた場合の信号波形を示す図である。

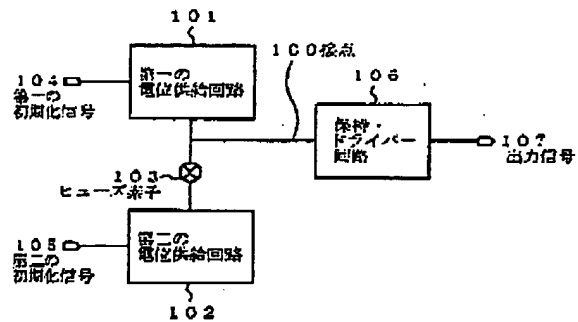
【符号の説明】

100, 200, 500 接点  
101 第一の電位供給回路  
102 第二の電位供給回路  
103, 203 ヒューズ素子  
104 第一の初期化信号  
105 第二の初期化信号  
106, 206 保持・ドライバ回路  
107, 207, 507 出力信号  
201 PチャネルMOSトランジスタ  
202 NチャネルMOSトランジスタ  
300 コマンドデコード回路  
301 動作モード設定信号  
302 動作モード設定回路  
303 ヒューズ回路初期化信号発生回路  
304 クロック信号  
305 内部クロック信号生成回路  
320 シンクロナスDRAM  
600 アドレスバッファ回路  
601 ロウアドレス信号  
602 カラムアドレス信号  
603, 604 カラムリダンダンシー回路  
605, 606 置換信号  
607 カラムデコーダ  
608 ロウデコーダ  
609 メモリセル  
610, 611 冗長メモリセル  
620 シンクロナスDRAM  
630 リードコマンド信号  
700-0~700-1, 800-0~800-1  
アドレスプログラミングヒューズ回路

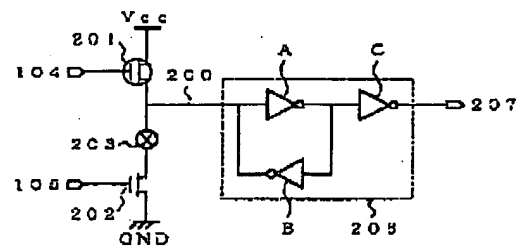
701, 801 カラムリダンダンシーイネーブルヒューズ回路  
702, 802 ANDゲート  
703-0~703-1, 803-0~803-1 出力信号  
704, 804 イネーブル信号  
900 アドレスプログラミングヒューズ回路  
902, 906, 1202, 1206, 1302, 1306 NチャネルMOSトランジスタ  
903, 905, 1203, 1205, 1303, 1305 PチャネルMOSトランジスタ  
904 アドレスプログラミング回路の出力信号  
1000 カラムリダンダンシーイネーブルヒューズ回路  
1001 出力イネーブル信号  
1200, 1300 アドレスプログラミングヒューズ回路  
1204, 1304 プログラミングされた出力信号  
1600 第三の電位供給回路  
1601 第三の初期化信号  
1700 NチャネルMOSトランジスタ  
1800, 1805, 1900, 1905 接点  
1801 初期化信号  
1802, 1804, 1904 NチャネルMOSトランジスタ  
1803, 1903 ヒューズ素子  
1806, 1906 出力信号  
1901 初期化回路  
1902 PチャネルMOSトランジスタ  
1907 高抵抗素子  
2000 外部電源検出回路  
2001 ゲート制御回路  
2002 PチャネルMOSトランジスタ  
2003 NチャネルMOSトランジスタ  
2004 ヒューズ素子  
2005 電源印加信号  
2006 プリチャージ信号  
2007 ディスチャージ信号  
2008 接点(電位)  
2009 ラッチ回路  
2010 出力信号

(9) 開2000-21191 (P2000-2115)

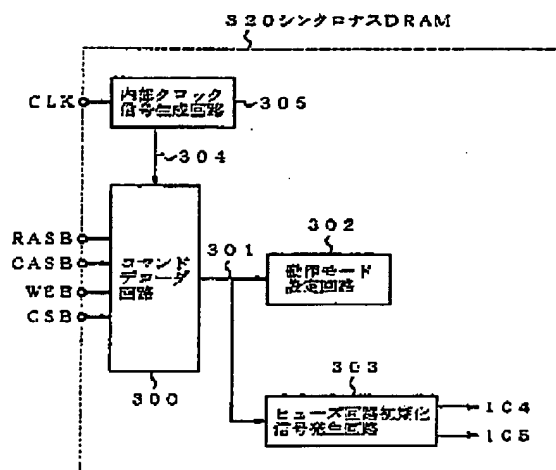
【図1】



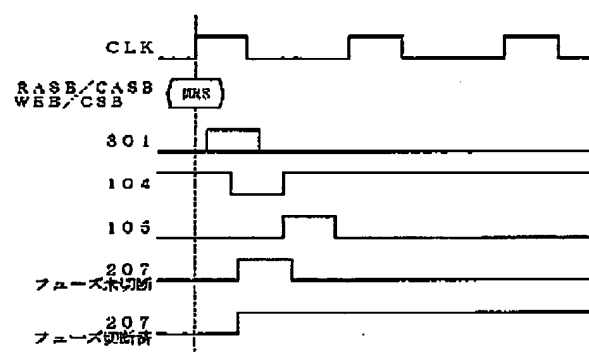
【図2】



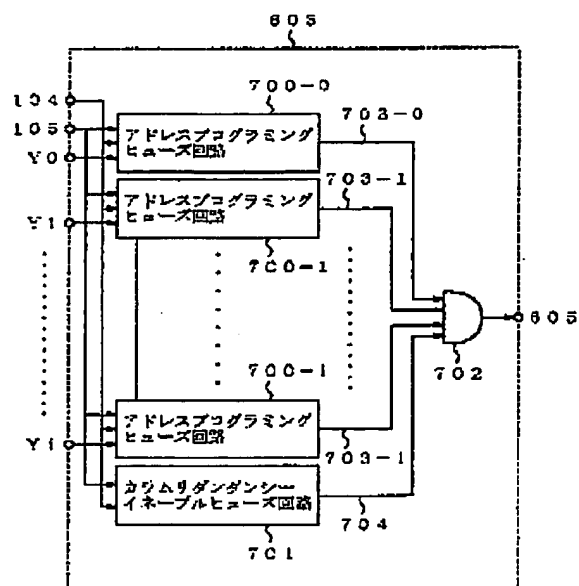
【図3】



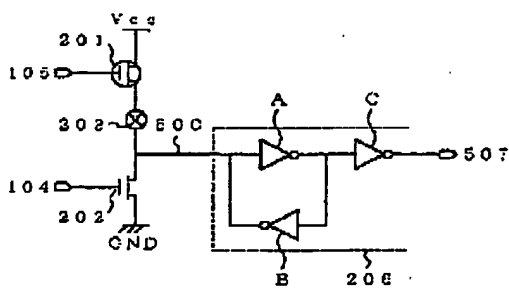
【図4】



【図7】

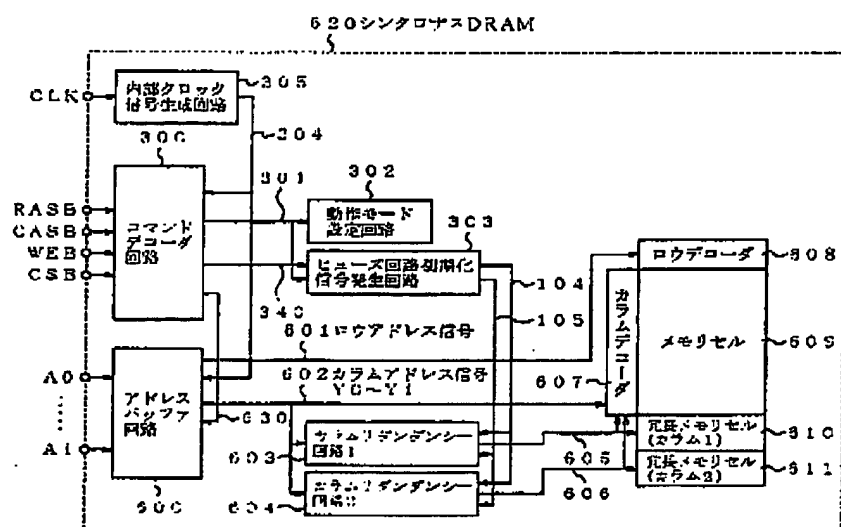


【図5】

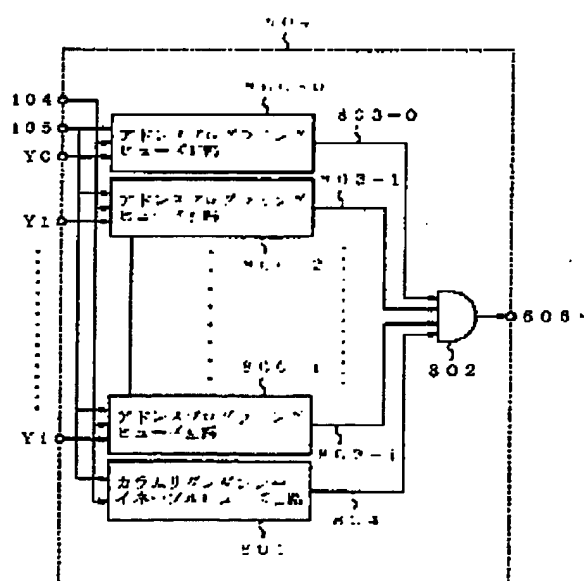


(10) 附2000-21191 (P2000-2115

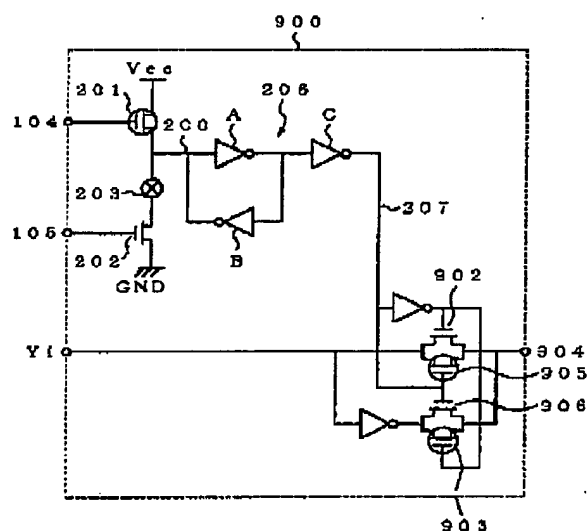
【图6】



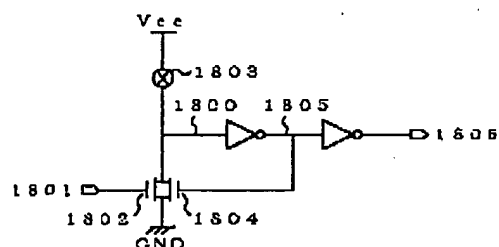
【 48 】



【圖9】

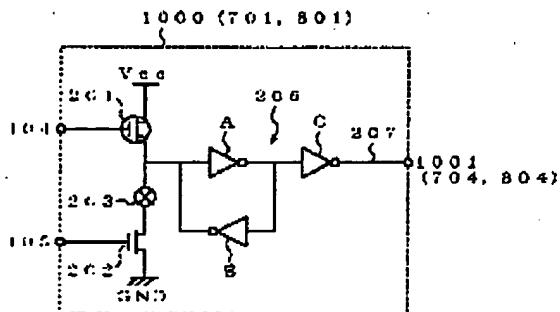


【218】

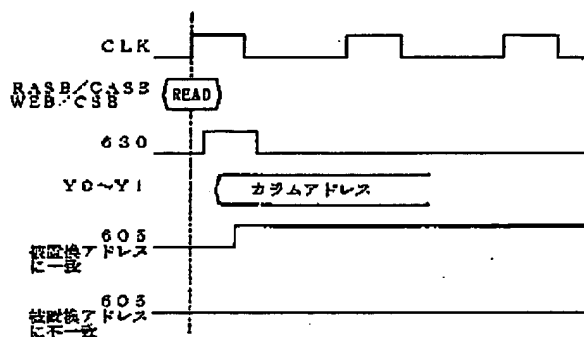


(11) 月2000-21191 (P2000-2115

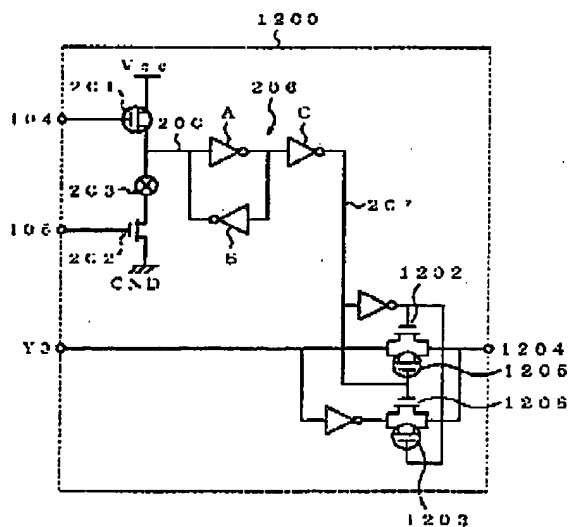
【※10】



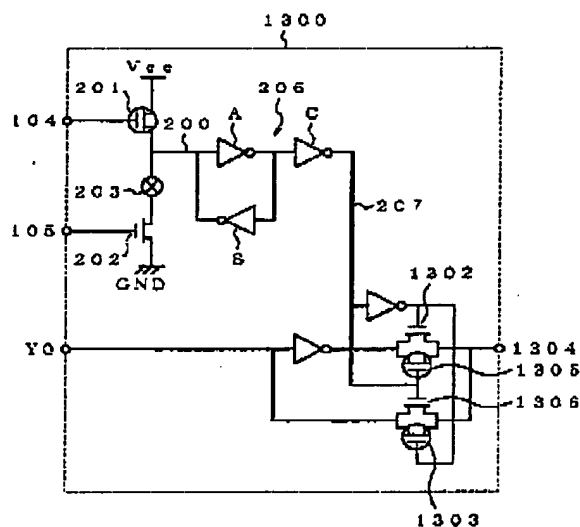
【例 11】



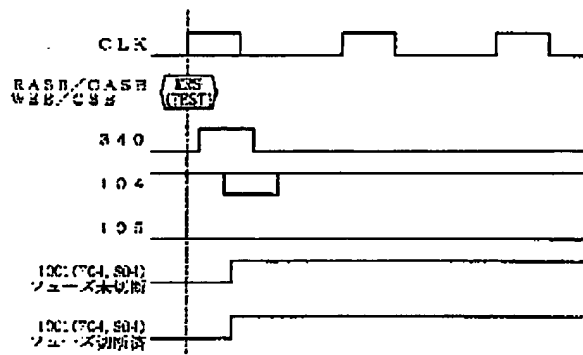
【圖12】



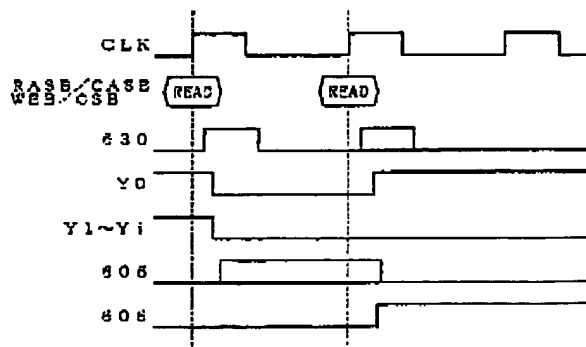
【圖 13】



【图 1-1】

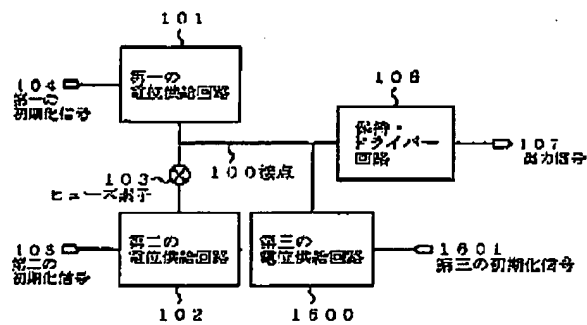


【図15】

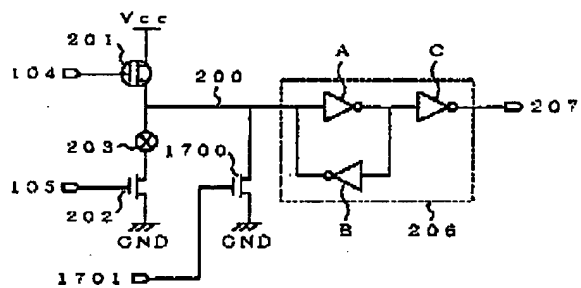


(12) 82000-21191 (P2000-2115

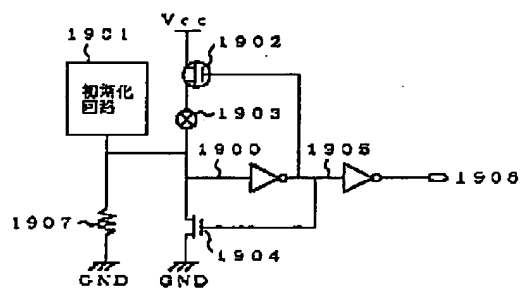
【例 16】



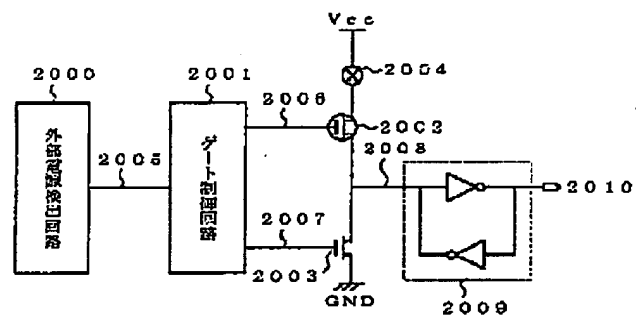
【图17】



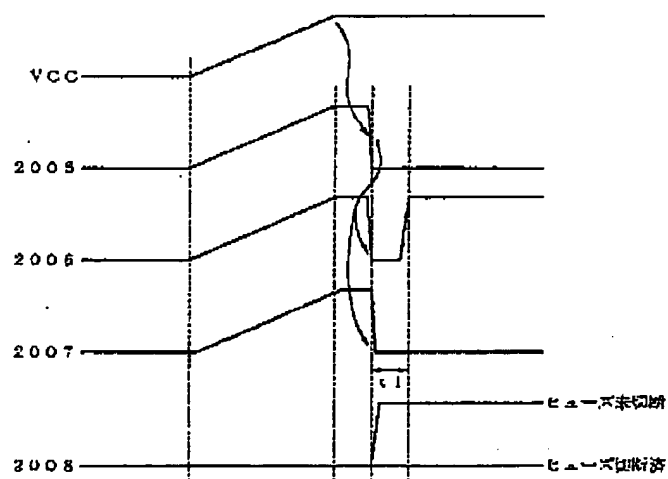
【图 19】



【図20】



【圖 21】



(13) #2000-21191 (P2000-2115

【図22】

